**Филиал федерального государственного бюджетного образовательного учреждения высшего образования**
**«Национальный исследовательский университет «МЭИ»**
**в г. Смоленске**

# Методическое обеспечение дисциплины

## СИГНАЛЬНЫЕ ПРОЦЕССОРЫ

(НАИМЕНОВАНИЕ ДИСЦИПЛИНЫ)

**Смоленск – 2021 г.**

**Методические материалы составил:**
Старший преподаватель кафедры
«Электроники и микропроцессорной техники»

_____ Каткова Анна Александровна
подпись ФИО

«24» июня 2021 г.

**Заведующий кафедрой «**Электроники и микропроцессорной техники**»:**

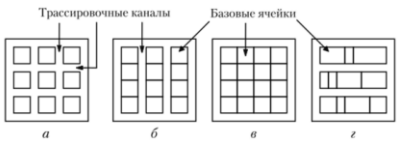
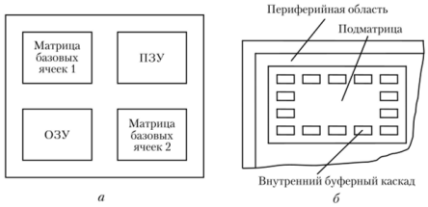
_____ Якименко Игорь Владимирович
подпись ФИО

«02» июля 2021 г.

## 1. Методическое обеспечение лекций

Цель лекций – изучение понятийного аппарата, основных теоретических положений и методов изучаемой дисциплины, необходимых для освоения закрепленных компетенций.

1. Комплект лекций, в формате PDF, расположен по ссылке:
https://drive.google.com/drive/folders/1rNSk8UYG7MsRnZtMLU8iF3PicCAYGE8o?usp=sharing
Фрагмент лекции в формате PDF:

| | | |
|---|---|---|
| Лекция №2<br><br>*Базовые матричные кристаллы (вентильные матрицы с масочным программированием): классификация и параметры.* | | Базовые матричные кристаллы (вентильные матрицы с масочным программированием)<br><br>• Первые образцы базовых матричных кристаллов (БМК) появились в 1975 г.<br>• Разработка БМК, кроме того, позволила выполнить и нетиповые части машины на БИС.<br>• Стоимость проектирования БИС/СБИС велика и достигает десятков или даже сотен миллионов долларов. Придание полуфабрикатам индивидуального характера лишь на заключительных стадиях производства БИС/СБИС обхо-дится значительно дешевле и требует значительно меньшего времени на проектирование. Такие БИС/СБИС называют *полузаказными* в отличие от полностью заказных.<br>• Развитие полузаказных БИС/СБИС привело к появлению ряда их разновидностей. Применительно к БМК это *канальные, бесканальные и блочные архитектуры.* |
| | | |
| Классификация БМК<br><br>  <br><br>В КМОП БМК используются также архитектуры с переменной длиной ячеек. Здесь каждая строка представляет собою последовательное соединение пар n- и p-канальных транзисторов. Если в такой длинной цепи разместить в заданных местах пары запертых транзисторов, то цепочка будет разделена на базовые ячейки произвольной длины. | | Классификация БМК<br><br>  <br><br>Рост уровня интеграции ведет к возможностям реализации на одном кристалле все более сложных устройств и систем. Это вызвало к жизни *блочные структуры* БМК, архитектура которых упрощает построение комбинированных устройств, содержащих как блоки логической обработки данных, так и память или другие специализированные блоки. |
| | | |

## 2. Методическое обеспечение лабораторных работ

Цель лабораторных работ – закрепление лекционного материала, привитие навыков применения теоретических знаний для решения научно-исследовательских задач, необходимых для освоения закрепленных компетенций.

Задания на лабораторные работы расположены по ссылке:
https://drive.google.com/drive/folders/1rNSk8UYG7MsRnZtMLU8iF3PicCAYGE8o?usp=sharing

Пример задания на лабораторную работу

## ЛАБОРАТОРНАЯ РАБОТА 4 (2 ЧАСА)

### Задание на лабораторную работу

**Цель работы:** реализовать логическую функцию согласно варианту.

Вопросы для подготовки:

- изучить основные понятия языка Verilog: базовые типы источников сигналов, арифметические и логические функции.
- повторить способы упрощения логических функций, представленных таблицей истинности.

**Варианты заданий**

| X1 | X2 | X3 | X4 | F1 | F2 | F3 | F4 | F5 | F6 | F7 | F8 | F9 | F10 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | | 1 | 1 | 1 | 1 | |
| 0 | 0 | 0 | 1 | | | 1 | | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | | 1 | 1 | 1 | | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | | 1 | | 1 | 1 | 1 | 1 | | 1 |
| 0 | 1 | 0 | 0 | | | | | | 1 | 1 | | 1 | |
| 0 | 1 | 0 | 1 | | | | 1 | 1 | | 1 | | | |
| 0 | 1 | 1 | 0 | | | 1 | | | 1 | | 1 | | |
| 0 | 1 | 1 | 1 | | | 1 | 1 | 1 | 1 | | | | |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | | | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | | 1 | 1 | 1 | | 1 | | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | | 1 | 1 | | | 1 | | 1 |
| 1 | 0 | 1 | 1 | | 1 | | 1 | 1 | 1 | 1 | | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | | | | | | 1 | | |
| 1 | 1 | 0 | 1 | | 1 | | | | | | | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | | 1 | | | | | | | |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | | 1 | | | | | |

1. Составьте СДНФ и МКНФ по таблице истинности согласно варианту (воспользуйтесь упрощением логических функций методом карт Карно или методом Квайна). Отразите в отчете процесс упрощения.
2. Создайте новый проект в Quartus II.
3. Добавьте модуль на языке Verilog. Напишите код, который реализует СДНФ согласно варианту.
4. Проведите симуляцию, зафиксируйте код и результат симуляции в отчете.
5. Модифицируйте код для прошивки платы. Для входных переменных используйте кнопки, для вывода результата – один из светодиодов. Осуществите назначение пинов, прошейте плату. Проверьте результат, опишите полученный результат в отчете.
6. Повторите п.3-5 для МКНФ.
7. Добавьте в проект файл схемы. Реализуйте схему согласно СДНФ.
8. Проведите симуляцию, зафиксируйте схему и результат симуляции в отчете.

9. Модифицируйте схему для прошивки платы. Для входных переменных используйте кнопки, для вывода результата – один из светодиодов. Осуществите назначение пинов, прошейте плату. Проверьте результат, опишите полученный результат в отчете.
10. Повторите п.7-9 для МКНФ.
**11.** Сравните полученные результаты, сделайте выводы, оформите отчет.

## 3. **Методическое обеспечение проведения экзамена**

Экзамен является заключительным этапом изучения дисциплины и имеет цель оценить уровень теоретические знания обучаемых, их навыки и умения применять полученные знания при решении практических задач, а также оценить уровень освоения компетенций закрепленных за дисциплиной.

Вопросы для подготовки к экзамену расположены по ссылке:
https://drive.google.com/drive/folders/1rNSk8UYG7MsRnZtMLU8iF3PicCAYGE8o?usp=sharing