

**Филиал федерального государственного бюджетного образовательного учреждения
высшего образования
«Национальный исследовательский университет «МЭИ»
в г. Смоленске**

Методическое обеспечение дисциплины

СИГНАЛЬНЫЕ ПРОЦЕССОРЫ

(НАИМЕНОВАНИЕ ДИСЦИПЛИНЫ)

Смоленск – 2018 г.

Методические материалы составил:

Заведующий кафедрой

«Электроники и микропроцессорной техники»

д-р техн. наук, доцент

подпись

Якименко Игорь Владимирович

ФИО

«25» июня 2018 г.

Зам. заведующего кафедрой «Электроника и микропроцессорная техника»:

подпись

к.т.н., доцент

Л.Л. Лямец

ФИО

«02» июля 2018 г.

1. Методическое обеспечение лекций

Цель лекций – изучение понятийного аппарата, основных теоретических положений и методов изучаемой дисциплины, необходимых для освоения закрепленных компетенций.

1. Комплект лекций, в формате PDF, расположен по ссылке:

https://drive.google.com/drive/folders/1135_jk3UNUSOYJBAAAEWtMSfkAunvozl?usp=sharing

Фрагмент лекции в формате PDF:

<p style="text-align: center;">Лекция №2</p> <p style="text-align: center;"><i>Базовые матричные кристаллы (вентильные матрицы с масочным программированием): классификация и параметры.</i></p>	<p style="text-align: center;">Базовые матричные кристаллы (вентильные матрицы с масочным программированием)</p> <ul style="list-style-type: none"> • Первые образцы базовых матричных кристаллов (БМК) появились в 1975 г. • Разработка БМК, кроме того, позволила выполнить и нетиповые части машины на БИС. • Стоимость проектирования БИС/СБИС велика и достигает десятков или даже сотен миллионов долларов. Придание полуприборам индивидуального характера лишь на заключительных стадиях производства БИС/СБИС обходится значительно дешевле и требует значительно меньшего времени на проектирование. Такие БИС/СБИС называют <i>полузаказными</i> в отличие от полностью заказных. • Развитие полузаказных БИС/СБИС привело к появлению ряда их разновидностей. Применительно к БМК это <i>канальные, бесканальные и блочные архитектуры</i>.
<p style="text-align: center;">Классификация БМК</p> <p>В КМОП БМК используются также архитектуры с переменной длиной ячеек. Здесь каждая строка представляет собою последовательное соединение пар п- и р-канальных транзисторов. Если в такой длинной цепи разместить в заданных местах пары запярых транзисторов, то цепочка будет разделена на базовые ячейки произвольной длины.</p>	<p style="text-align: center;">Классификация БМК</p> <p>Рост уровня интеграции ведет к возможностям реализации на одном кристалле все более сложных устройств и систем. Это вызвало к жизни <i>блочные структуры</i> БМК, архитектура которых упрощает построение комбинированных устройств, содержащих как блоки логической обработки данных, так и память или другие специализированные блоки.</p>

2. Методическое обеспечение лабораторных работ

Цель лабораторных работ – закрепление лекционного материала, привитие навыков применения теоретических знаний для решения научно-исследовательских задач, необходимых для освоения закрепленных компетенций.

Задания на лабораторные работы расположены по ссылке:

https://drive.google.com/drive/folders/1135_jk3UNUSOYJBAAAEWtMSfkAunvozl?usp=sharing

Пример задания на лабораторную работу

ЛАБОРАТОРНАЯ РАБОТА 4 (2 ЧАСА)

Задание на лабораторную работу

Цель работы: реализовать логическую функцию согласно варианту.

Вопросы для подготовки:

- изучить основные понятия языка Verilog: базовые типы источников сигналов, арифметические и логические функции.
- повторить способы упрощения логических функций, представленных таблицей истинности.

Варианты заданий

X1	X2	X3	X4	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10
0	0	0	0	1	1	1	1		1	1	1	1	
0	0	0	1			1		1	1	1	1	1	1
0	0	1	0	1	1		1	1	1		1	1	1
0	0	1	1	1		1		1	1	1	1		1
0	1	0	0						1	1		1	
0	1	0	1				1	1		1			
0	1	1	0			1			1		1		
0	1	1	1			1	1	1	1				
1	0	0	0	1	1	1	1			1	1	1	1
1	0	0	1		1	1	1		1		1	1	1
1	0	1	0	1	1		1	1			1		1
1	0	1	1		1		1	1	1	1		1	1
1	1	0	0	1	1						1		
1	1	0	1		1							1	1
1	1	1	0	1		1							
1	1	1	1	1	1	1		1					

1. Составьте СДНФ и МКНФ по таблице истинности согласно варианту (воспользуйтесь упрощением логических функций методом карт Карно или методом Квайна). Отрадите в отчете процесс упрощения.
2. Создайте новый проект в Quartus II.
3. Добавьте модуль на языке Verilog. Напишите код, который реализует СДНФ согласно варианту.
4. Проведите симуляцию, зафиксируйте код и результат симуляции в отчете.
5. Модифицируйте код для прошивки платы. Для входных переменных используйте кнопки, для вывода результата – один из светодиодов. Осуществите назначение пинов, прошейте плату. Проверьте результат, опишите полученный результат в отчете.
6. Повторите п.3-5 для МКНФ.
7. Добавьте в проект файл схемы. Реализуйте схему согласно СДНФ.
8. Проведите симуляцию, зафиксируйте схему и результат симуляции в отчете.

9. Модифицируйте схему для прошивки платы. Для входных переменных используйте кнопки, для вывода результата – один из светодиодов. Осуществите назначение пинов, прошейте плату. Проверьте результат, опишите полученный результат в отчете.
10. Повторите п.7-9 для МКНФ.
11. Сравните полученные результаты, сделайте выводы, оформите отчет.

3. Методическое обеспечение расчетно-графической работы

Цель расчетно-графической работы – закрепление лекционного материала, привитие навыков применения теоретических знаний для самостоятельного решения инженерных задач, необходимых для освоения закрепленных компетенций.

Задания на расчетно-графическую работу расположены по ссылке:

https://drive.google.com/drive/folders/1I35_jk3UNUSOYJBAaAEWtMSfkAunvozl?usp=sharing

Пример задания на расчетно-графическую работу:

Задание

Произвести синтез автомата согласно графической схеме переходов. Автомат имеет три входа X1, X2 и X3 (могут принимать значения 0 и 1) и один выход. Значение выходного сигнала соответствует номеру состояния (выходной сигнал равен 0 в состоянии S0, 1 в состоянии S1 и т.д.). S0 считать начальным состоянием.

Номер схемы переходов и условия переходов взять согласно варианту в таблице.

Синтез автомата произвести в Altera QuartusII, создать схему переходов с помощью StateMachineEditor. Также необходимо построить автомат Мура на логических элементах и триггерах в SchematicEditor.

Пояснительная записка должна включать:

- титульный лист;
- задание;
- когда синтез производится с помощью StateMachineEditor – необходимо привести саму схему, а также показать все заданные настройки (условия переходов, значение выходного состояния и т.д.);
- провести симуляцию проекта с помощью Altera QuartusII или IcarusVerilog. Симуляцию необходимо провести таким образом, чтобы пройти все варианты переходов автомата. Возможно выполнение отдельных симуляций для демонстрации разных вариантов переходов;
- привести подробное описание синтеза схемы на логических элементах и триггерах с пояснениями, привести итоговую построенную схему в SchematicEditor;
- провести симуляцию схемы из SchematicEditor с помощью Altera QuartusII или IcarusVerilog. Симуляцию необходимо провести таким образом, чтобы пройти все варианты переходов автомата. Возможно выполнение отдельных симуляций для демонстрации разных вариантов переходов;
- сравнение результатов симуляции и выводы.

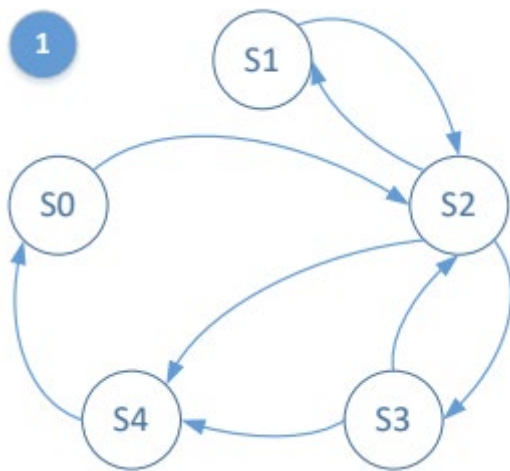


Схема1	Вариант 1
S0→S2	1
S1→S2	X1X2X3
S2→S1	X1X2
S2→S3	X1~X2
S2→S4	~X1~X2
S3→S2	X2X3
S3→S4	~X3
S4→S0	X2~X3

4. Методическое обеспечение проведения экзамена

Экзамен является заключительным этапом изучения дисциплины и имеет цель оценить уровень теоретические знания обучаемых, их навыки и умения применять полученные знания при решении практических задач, а также оценить уровень освоения компетенций закрепленных за дисциплиной.

Вопросы для подготовки к экзамену расположены по ссылке:

https://drive.google.com/drive/folders/1I35_jk3UNUSOYJBAAAEWtMSfkAunvozl?usp=sharing